

Projeto de um OTA Baseado em Inversores em Processo CMOS de 130 nm

Design of an Inverter-Based OTA Based on a 130 nm CMOS Process

Proyecto de OTA Basado en Inversores en Procesos CMOS de 130 nm

Recebido: 01/04/2020 | Revisado: 02/04/2020 | Aceito: 07/04/2020 | Publicado: 12/04/2020

Otávio Soares Silva

ORCID: <https://orcid.org/0000-0002-8691-7156>

Universidade Federal de Itajubá, Brasil

E-mail: otaviosoaressilva@unifei.edu.br

Rodrigo Aparecido da Silva Braga

ORCID: <https://orcid.org/0000-0002-5490-9944>

Universidade Federal de Itajubá, Brasil

E-mail: rodrigobraga@unifei.edu.br

Dean Bicudo Karolak

ORCID: <https://orcid.org/0000-0002-9727-5486>

Universidade Federal de Itajubá, Brasil

E-mail: dean.karolak@unifei.edu.br

Paulo Marcio Moreira e Silva

ORCID: <https://orcid.org/0000-0002-4787-3453>

Universidade Federal de Itajubá, Brasil

E-mail: paulo.silva@unifei.edu.br

Resumo

Nos processos de fabricação de amplificadores diferenciais integrados uma característica inerente é que os transistores nMOS e pMOS construídos possuam diferenças físicas em relação aos valores projetados, efeito conhecido como descasamento. Neste trabalho será avaliado o impacto que os processos de fabricação infligem em um amplificador operacional de transcondutância construído com transistores com canal uniformemente dopado e baixa tensão de *threshold* e transistores de canal uniformemente dopado com tensão de *threshold* regular utilizando uma pesquisa experimental quantitativa.

Palavras-chave: Amplificadores operacionais; Inversores CMOS; Transcondutância diferencial; Tensão *threshold*; Descasamento.

Abstract

In manufacturing processes of integrated differential amplifiers, an inherent characteristic is that the fabricated nMOS and pMOS transistors have physical differences in relation to the projected values, an effect known as mismatch. In this work, the manufacturing process variations in operational transconductance amplifiers (OTA) are evaluated. Two OTA based on CMOS inverters are designed using both low threshold and standard threshold uniformly doped transistors using quantitative experimental research.

Keywords: Operational amplifiers; CMOS inverters; Differential transconductance; Threshold voltage; Mismatch.

Resumen

En los procesos de fabricación de amplificadores diferenciales integrados, una característica inherente es que los transistores nMOS y pMOS incorporados tienen diferencias físicas en relación con los valores proyectados, un efecto conocido como *mismatch*. En este trabajo, se evaluará el impacto que los procesos de fabricación infligen en un amplificador operacional de transconductancia construido con transistores con canal uniformemente dopado y baja *threshold* voltaje y transistores de canal uniforme dopado con regular *threshold* voltaje utilizando investigación experimental cuantitativa.

Palabras clave: Amplificadores operacionales; Inversores CMOS; Transconductancia diferencial; *Threshold* voltaje; *Mismatch*.

1. Introdução

Circuitos amplificadores operacionais de transcondutância, ou *operational transconductance amplifiers* (OTA), são usualmente associados à capacitores para a implementação de filtros de tempo contínuo do tipo G_m -C, úteis no processamento analógico de sinais. No trabalho de Bram Nauta (Nauta, 1992) é apresentado um OTA baseado em inversores CMOS, para a implementação de um circuito G_m -C com foco na sintonia de filtros de alta frequência (VHF), por meio da variação do valor de G_m dos inversores. Considerando OTAs baseados em inversores CMOS, o alto grau de descasamento em processos em escala nanométrica motivou a elaboração de estratégias para compensação desta característica na construção de filtros G_m -C (Munoz, Torralba, Carvajal, Tombs, & Ramirez-Angulo, 2001; Andreani & Mattisson, 2002; Crombez, Craninckx, Wambacq, & Steyaert, 2008;

Pirmohammadi & Zarifi, 2012; Ramasamy & Venkataramani, 2011; Vlassis, 2012; Nicholson, Iberzanov, Jenkins, Hamilton, & Lehmann, 2016).

Em (Munoz et al., 2001) o autor propõe a construção de um transcondutor diferencial baseado em (Nauta, 1992), composto por transistores com várias entradas flutuantes, onde cada entrada é conectada a um capacitor e são polarizadas com uma tensão suficiente para manter uma operação *rail-to-rail*. Isto possibilita a sintonia da transcondutância diferencial com tensão de alimentação constante. Este circuito proposto permitiu atingir altas frequências com uma baixa tensão de alimentação.

No trabalho desenvolvido por (Andreani & Mattisson, 2002) foram implementados dois filtros G_m -C baseados na linearização das características do transistor MOS por meio do cancelamento do termo quadrático e do aprimoramento do ganho DC através de uma realimentação positiva. Já o circuito apresentado no artigo (Crombez et al., 2008), os transistores são organizados em forma de uma matriz de chaveamento onde é possível alterar a razão de aspecto do transcondutor ao ligar ou desligar linhas ou colunas dessa matriz resultando num filtro bi-quadrático de banda regulável.

Os autores do trabalho (Pirmohammadi & Zarifi, 2012) utilizaram a topologia CMOS de dupla entrada para construção dos inversores do OTA que resultou num filtro com maior linearidade da corrente de saída proporcional à tensão diferencial. Ramasamy em (Ramasamy & Venkataramani, 2011) utilizou a mesma topologia CMOS dupla entrada para construir um amplificador de ganho variável. Em (Vlassis, 2012) o autor utilizou a técnica mestre-escravo adicionando um circuito de controle para a corrente quiescente do transcondutor aplicando uma tensão no substrato permitindo o ajuste e uma grande faixa de sintonização da transcondutância.

No trabalho (Nicholson et al., 2016) é apresentado uma estrutura digital programável de vários transcondutores onde é possível selecionar a melhor combinação entre eles, a fim de se obter o maior produto ganho/largura de banda pelo casamento das estruturas. Em (R. A. Braga, Ferreira, Colletta, & Dutra, 2017; R. A. Braga, Ferreira, Colletta, & Dutra, 2019) é apresentado uma implementação para o amplificador operacional de transcondutância *fully* diferencial baseado em inversores CMOS construídos com transistores MOS matriciais halo-implantados em um processo CMOS de 130 nm. Esta topologia permitiu superar a baixa impedância de saída e o deslocamento da tensão de limiar características dos transistores MOS halo-implantados, possibilitando a implementação de um filtro G_m -C em (Pinto, Ferreira, Colletta, & Braga, 2019).

Portanto, baseando-se na investigação realizada em (R. A. S. Braga, 2018), este trabalho tem o objetivo de construir de dois OTAs utilizando dois tipos diferentes de transistores, um modelo construído com transistores de tensão de *threshold* regular (RVT) e um modelo com transistores com baixa tensão *threshold* (LVT). Para demonstrar o impacto da variação do processo em semicondutores reais, explora-se neste trabalho os resultados das simulações da resposta em frequência, corrente e transcondutância diferenciais de um OTA baseado em inversores CMOS. Estes OTAs são construídos utilizando-se transistores RVT e LVT em um processo CMOS de 130 nm, alimentados com uma tensão de 1,6 V.

O trabalho é organizado como segue. A Seção 2 descreve a metodologia utilizada, enquanto a Seção 3 o projeto dos inversores utilizados neste trabalho. A Seção 4 contém o equacionamento que fundamenta a topologia utilizada no projeto. A Seção 5 descreve o projeto da topologia do circuito. Na Seção 6 estão apresentadas as discussões acerca dos resultados obtidos nas simulações. Por fim, a Seção 6 apresenta a conclusão.

2. Metodologia

Pereira (Pereira, A.S. et al., 2018.) ressalta a importância da condução do processo de investigação ser norteado por uma metodologia de pesquisa científica. Neste trabalho é utilizado o *Design Science Research* (Dresch, Lacerda, & Júnior, 2015), pois este contém as etapas comuns aos diversos métodos de pesquisa, a saber: (i) definição do problema; (ii) proposta de sugestões para solucionar o problema; (iii) desenvolvimento do artefato; (iv) avaliação do artefato. Logo, neste trabalho, foram seguidas as seguintes etapas do *Design Science Research*:

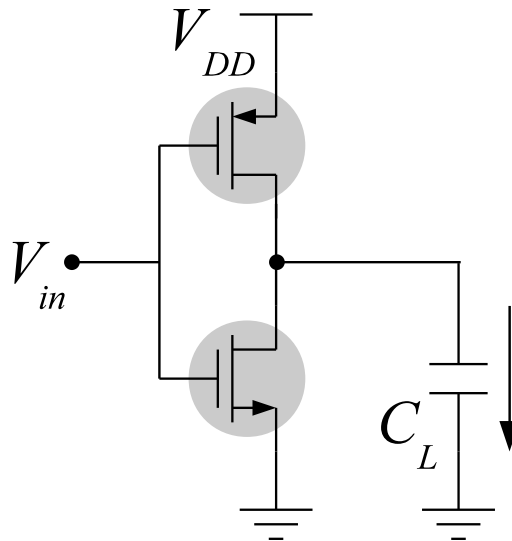
- Identificação do problema: investigação sobre o desempenho de um amplificador operacional de transcondutância baseado em inversores utilizando transistores com diferentes tensões de *threshold*.
- Conscientização do problema e revisão sistemática da literatura: nesta etapa foi realizada uma investigação acerca dos circuitos que utilizam topologias de OTAs baseado em inversores e seus respectivos desempenhos.
- Identificação dos artefatos de pesquisa: neste trabalho os artefatos de pesquisa são (i) a topologia do amplificador baseado em inversores e (ii) os transistores RVT e LVT da tecnologia IBM CMOS 130 nm.

- Projeto e desenvolvimento do artefato selecionado: nesta etapa foi conduzido o projeto do OTA baseado em inversores utilizando transistores RVT e LVT na ferramenta CAD de desenvolvimento de circuitos para avaliação do desempenho.
- Avaliação do artefato: com uma topologia do OTA construída com transistores RVT e outra com transistores LVT, foram implementados os ambientes de testes para caracterização do resposta em frequência, corrente diferencial de saída, transcondutância, CMRR e PSRR.
- Explicitação das aprendizagens e conclusões: esta etapa corresponde à descrição dos resultados obtidos após a realização do experimentos em ambiente de simulação.
- Comunicação dos resultados: Própria construção deste manuscrito.

3. Projeto do Inversor CMOS

O amplificador operacional de transcondutância diferencial deste trabalho possui como principal elemento de circuito, um inversor CMOS, representado na Figura 1.

Figura 1. Representação esquemática do inversor CMOS.



Para este trabalho foram escolhidos dois tipos de transistores de canal uniformemente dopado disponíveis na tecnologia CMOS IBM 130 nm, transistores com tensão *threshold* regular (RVT) e transistores com baixa tensão *threshold* (LVT) para construção dos OTAs.

No projeto dos inversores do OTA, foi definido tensão de alimentação V_{DD} de 1,6 V, utilizando-se um valor de comprimento de canal L de forma a aumentar a impedância de saída. Em seguida, foi definida a largura do canal, W , dos transistores nMOS e pMOS de

forma a balancear o inversor CMOS para se obter uma tensão de modo comum igual a $V_{DD}/2$. A Tabela 1 apresenta as dimensões W e L dos transistores e os valores das tensões *threshold*.

Tabela 1. Parâmetros dos inversores CMOS.

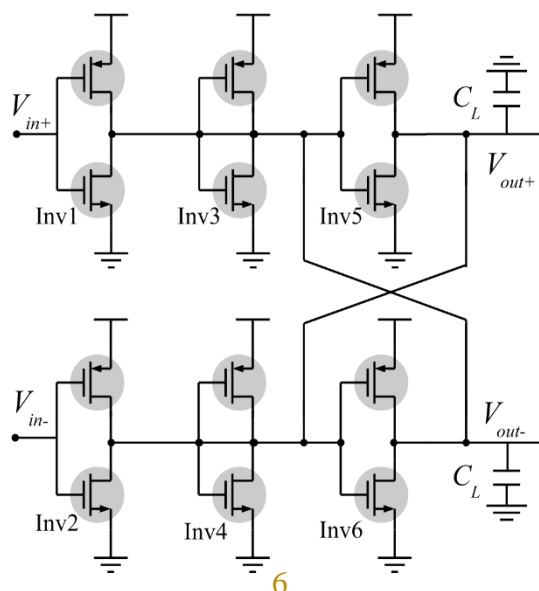
Parâmetro	RVT	LVT
V_{tn} [mV]	468,0	163,8
V_{tp} [mV]	-380,1	-172,8
W_n [μm]	129,0	100,0
W_p [μm]	232,2	358,0
L_n [nm]	500	400
L_p [nm]	500	400

Na Tabela 1 é possível observar que os valores da tensão de *threshold* para os transistores pMOS e nMOS do tipo LVT são menores que a tensão de *threshold* dos transistores RVT da tecnologia IBM CMOS 130 nm.

4. Amplificador Operacional de Transcondutância Baseado em Inversores CMOS

De forma resumida, a operação do OTA baseado em inversores CMOS, proposto em (Nauta, 1992) e mostrado na Figura 2, pode ser descrita como: os inversores CMOS Inv1 e Inv2 atuam como os elementos de transcondutância realizando a conversão V-I, enquanto que os inversores CMOS Inv3-Inv6 proveem alta impedância de saída diferencial e estabilidade da tensão de modo comum (Nauta, 1992).

Figura 2. Circuito esquemático do Nauta OTA.



O inversor Inv1 na Figura 2, operando em inversão forte, tem sua corrente de saída I_{OUT} dada por:

$$I_{OUT} = a(V_{IN} - V_{tn})^2 + bV_{IN} + c, \quad (1)$$

onde

$$a = \frac{1}{2}(\beta_n - \beta_p), \quad (2a)$$

$$b = \beta_p(V_{DD} - V_{tn} + V_{tp}) \text{ e} \quad (2b)$$

$$c = \frac{1}{2}(\beta_p V_{tn}^2 - (V_{DD} - V_{tp})^2), \quad (2c)$$

sendo $\beta_n = \mu_n C_{ox}(W/L)_n$ e $\beta_p = \mu_p C_{ox}(W/L)_p$. Para uma conversão de corrente linear o termo a em (1) deve ser nulo. Isto pode ser alcançado por meio de um balanceamento do inversor CMOS de forma que $\beta_n = \beta_p$ em (2a). A tensão de modo comum, V_{CM} é dada por

$$V_{CM} = \frac{V_{DD} - V_{tn} + V_{tp}}{1 + \sqrt{\beta_n/\beta_p}} + V_{tn}, \quad (3)$$

logo, para uma estrutura casada com $\beta_n = \beta_p$ e admitindo $V_{tn} = -V_{tp}$ tem-se que $V_{CM} = V_{DD}/2$.

a. Transcondutância

Na Figura 2, os inversores Inv1 e Inv2 operam como elementos de transcondutância. Aplicando-se uma tensão diferencial de entrada V_{id} e uma tensão de modo comum $V_{CM} = V_{DD}/2$ tem-se a corrente diferencial de saída, I_{od} , conforme

$$I_{od} = V_{id}(V_{DD} - V_{tn} + V_{tp})\sqrt{\beta_n\beta_p} \quad (4)$$

que pode ser reescrita como

$$I_{od} = V_{id}g_{md}, \quad (5)$$

onde a transcondutância diferencial, $g_{m\bar{d}}$, é dada por $(V_{DD} - V_{tn} + V_{tp})\sqrt{\beta_n\beta_p}$. Logo, por meio de (4) e (5) observa-se que a transcondutância $g_{m\bar{d}}$ é dependente da tensão de alimentação V_{DD} e de parâmetros de processo (Nauta, 1992).

b. Tensão de modo comum

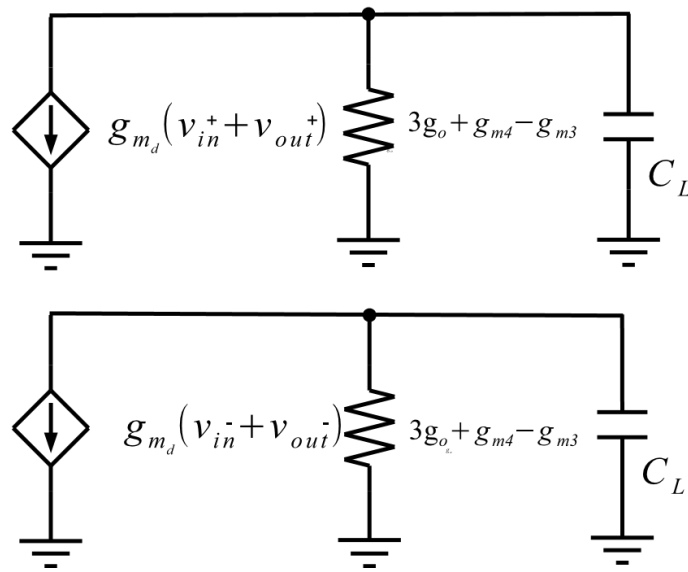
Os inversores de Inv3 a Inv6 da Figura 2 são utilizados para estabilização de modo comum para as tensões de saída V_{out+} e V_{out-} . De acordo com (Nauta, 1992), os inversores Inv3 e Inv4 operam como resistências $1/g_{m3}$ e $1/g_{m4}$ e os inversores Inv5 e Inv6 fornecem corrente $g_{m5}(V_{CM} - V_{out-})$ e $g_{m6}(V_{CM} - V_{out+})$ nestas resistências.

Então, uma tensão de modo comum o nó V_{out+} possui uma carga com resistência $1/(g_{m3} + g_{m6})$ e o nó V_{out-} possui uma carga com resistência $1/(g_{m4} + g_{m5})$. Como consequência, quando as transcondutâncias dos inversores de Inv3 a Inv6 estão casadas, forma-se uma baixa impedância para sinais de modo comum e uma alta impedância para sinais diferenciais, o que segundo (Nauta, 1992), implica em nível de modo comum V_{CM} controlado nas saídas.

c. Resposta em frequência

O modelo de pequenos sinais do circuito esquemático mostrado na Figura 2 está apresentado na Figura 3. Na Figura 3, as notações v_{in+} , v_{in-} , v_{out+} e v_{out-} representam a componente de pequeno sinal das entradas V_{in+} e V_{in-} e nas saídas V_{out+} e V_{out-} mostradas na Figura 2, respectivamente. Considerando que os inversores da Figura 2 estão balanceados, a condutância de saída de cada um deles é representada por g_o na Figura 3.

Figura 3. Modelo de pequenos sinais do OTA.



Considerando a operação em inversão forte, o ganho de malha aberta é dado por

$$A_o = \frac{g_{md}}{3g_o + g_{m4} - g_{m3}}, \quad (6a)$$

sendo $3g_o + g_{m4} - g_{m3}$, a condutância de saída do OTA. Para inversores casados tem-se que $g_{m3} \approx g_{m4}$, logo o ganho de malha aberta, A_o , atinge seu valor mais alto quando a impedância de saída dos inversores do OTA for alta e o termo $3g_o$ em (6a) tender a zero.

Por meio de (6a), pode-se inferir que o descasamento entre os inversores da estrutura da Figura 2 resulta em $g_{m3} \neq g_{m4}$. Isso pode degradar o ganho em malha aberta A_o , de forma que (6a) pode ser reescrita como

$$A_o = \frac{g_{md}}{\delta g_m} \quad (6b)$$

onde g_{md} é a transcondutância diferencial e δg_m é diferença entre a transcondutância g_m dos inversores CMOS Inv3-Inv6 mostrados na Figura 2.

Ademais, a frequência de ganho unitário, f_t , é dada por

$$f_t = \frac{g_m}{2\pi C_L}. \quad (7)$$

Adicionalmente, definindo-se a tensão AC de saída diferencial, $v_{od} = v_{out+} - v_{out-}$, obtêm-se a seguinte função de transferência

$$\frac{v_{od}(s)}{v_{id}(s)} = \frac{g_{md}}{sC_L + 3g_o}, \quad (8)$$

a qual modela o comportamento da aplicação do circuito como um filtro G_m -C (R. A. S. Braga, 2018).

5. Projeto de um OTA Baseado em Inversores CMOS

Para a construção do OTA baseado em inversores da mostrado na Figura 2 foram utilizados os inversores descritos na Seção II. Na construção do OTA RVT foram utilizados seis inversores com transistores de tensão *threshold* regular. Para a construção do OTA LVT foram utilizados seis inversores construídos com transistores de tensão *threshold* baixa. Nas Figuras 4 e 5 estão representados respectivamente o *layout* e a micrografia do chip fabricados em um processo IBM CMOS 130 nm.

Figura 4. Layout dos OTAs construídos com inversores CMOS utilizando transistor RVT e LVT em um processo de 130 nm.

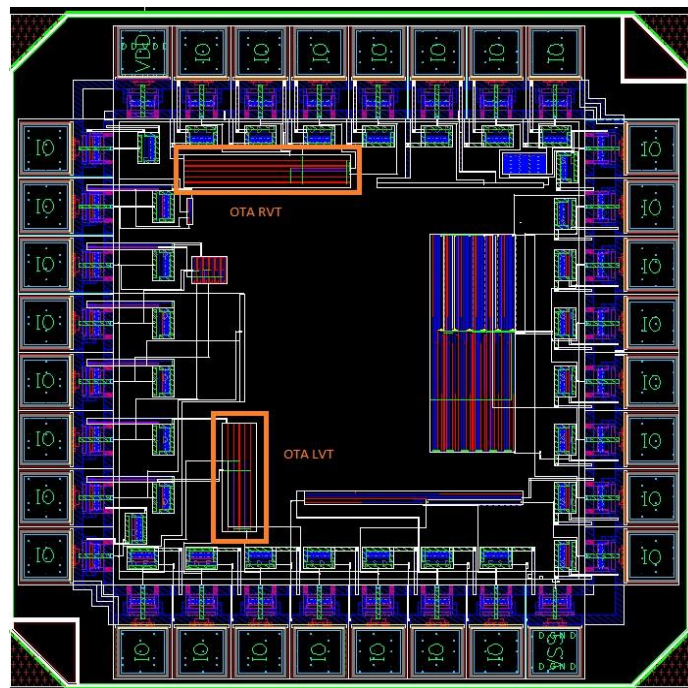
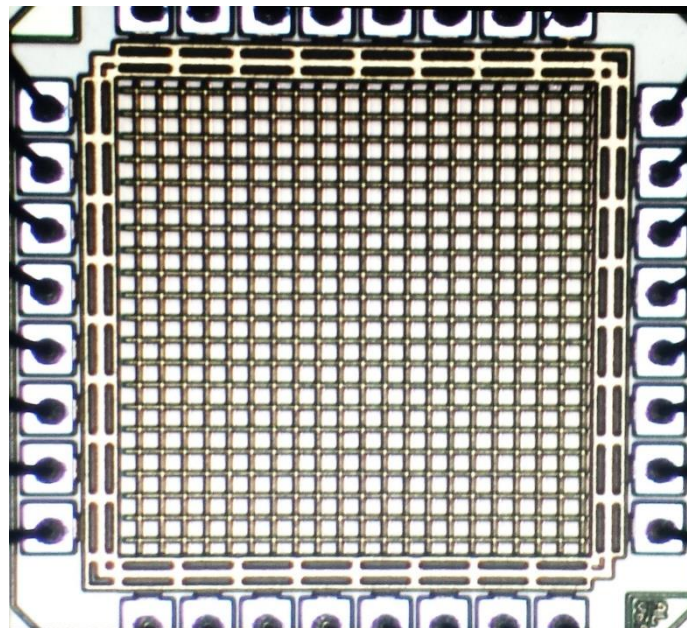


Figura 5. Micrografia do chip Fabricado.



6. Resultados e Discussões

Os resultados das simulações desta seção foram obtidos utilizando a ferramenta Cadence Spectre com modelo BSIM4v4. Os valores apresentados foram obtidos por meio da medição de 5 amostras encapsuladas fabricadas pela MOSIS.

a. Análise da Simulação do OTA com transistores RVT.

Para as simulações deste OTA foram utilizadas uma tensão de alimentação V_{DD} de 1,6 V e tensão de modo comum de 0,8 V. O diagrama de Bode na Figura 6 contém os dados da simulação da resposta em frequência do OTA, neste pode-se observar que foi possível frequências na ordem de grandeza de 10^8 , isso só foi possível devido a ausência de nós internos da topologia, este circuito possui uma frequência de corte aproximada de 100 MHz com ganho em banda passante de 17,97 dB, também é possível observar no diagrama que a frequência de ganho unitário é de 891,3 MHz, frequência onde a fase atinge -90° .

Na Figura 7 é possível observar uma conversão linear tensão/corrente permitindo uma ampla excursão de sinal e comprovando que com um circuito casado é possível anular os efeitos do termo quadrático conforme equacionamento em (5), note que quando V_{id} é 0 V I_{od}

também tem valor igual a 0 A e quando V_{id} é 0,8 V, ou seja $V_{DD}/2$ a corrente I_{od} é de 80,24 mA.

Figura 6. Simulação da Resposta em Frequência para OTA construído com transistores RVT.

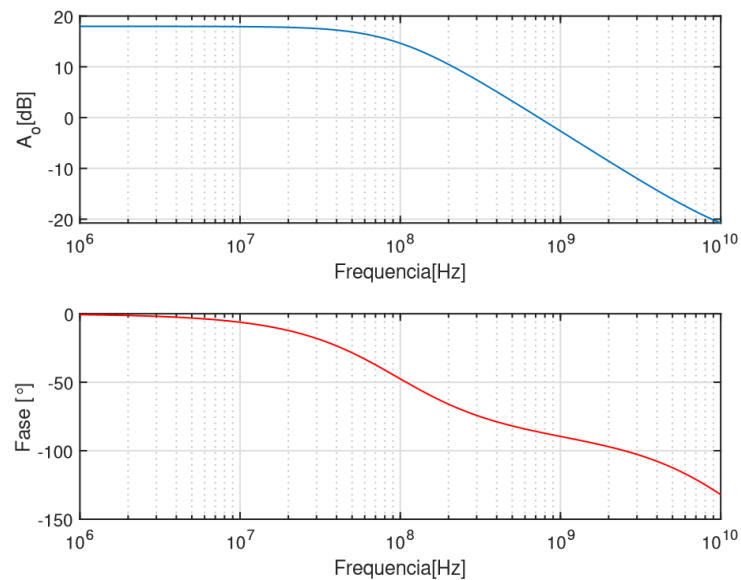
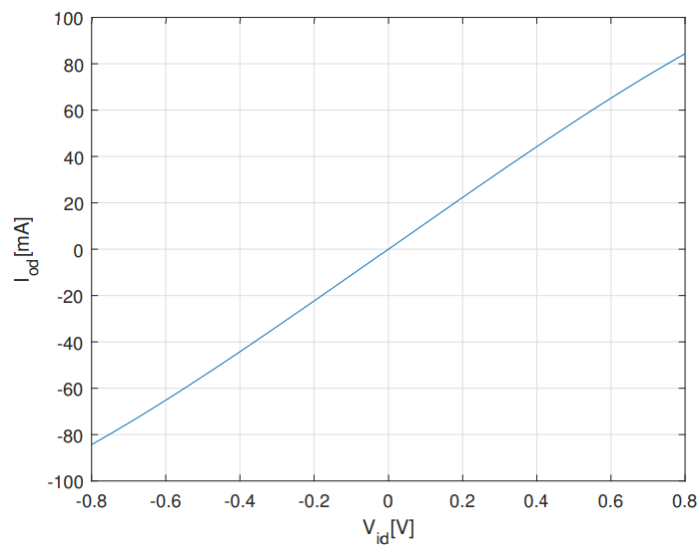


Figura 7. Simulação da corrente diferencial para OTA construído com transistores RVT.



Na Figura 8 pode-se observar os valores da transcondutância diferencial em função de V_{id} com seu valor máximo de 55,89 mS em V_{id} igual a 0 V. Na Figura 9 está representado um histograma referente a simulação de Monte Carlo da transcondutância diferencial, o histograma apresenta uma distribuição normal com desvio padrão de 1,54, média de 55,21 mS, para um valor v_{id} igual a 0 V.

Para as simulações de CMRR e PSRR foram utilizadas simulações de Monte Carlo variando os parâmetros do OTA a fim de se observar o comportamento do circuito mediante a uma variação de tensão de modo comum e da tensão de alimentação, respectivamente.

Figura 8. Simulação da Transcondutância Diferencial para OTA construído transistores RVT

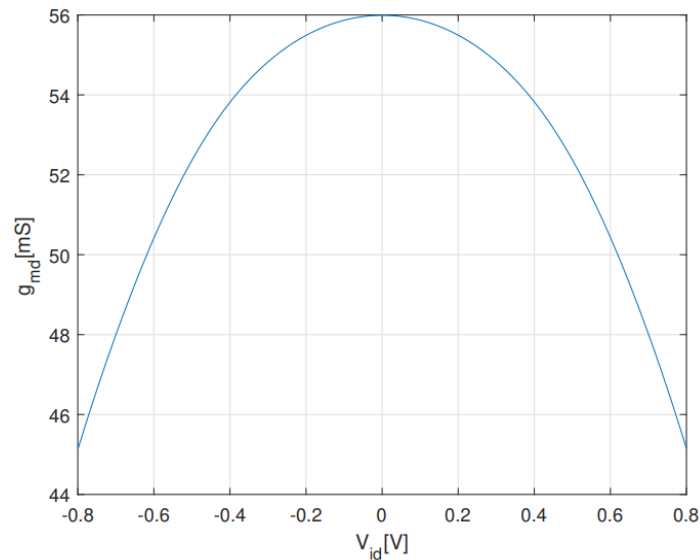
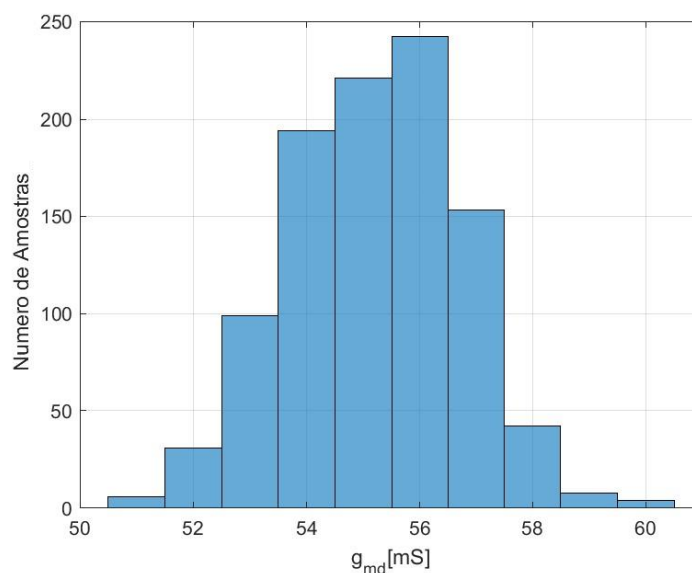


Figura 9. Simulação de Monte Carlo para transcondutância diferencial do OTA



construído com transistores RVT (1000 rodadas).

Este circuito é suscetível a variação de tensão de modo comum devido à ausência de um par diferencial. Na Figura 10, é possível observar uma distribuição lognormal com desvio padrão de 0,44 dB e média 20,85 dB, com esses dados pode-se inferir que o circuito apresenta baixa rejeição a tensão de modo comum.

Na Figura 11, é possível observar uma distribuição lognormal com desvio padrão de 0,24 dB e média 6,11 dB para a PSRR. Com esses dados pode-se inferir que o circuito tem baixo PSRR, devido à topologia utilizada.

Figura 10. Simulação de Monte Carlo para CMRR para OTA construído com transistores RVT (1000 rodadas).

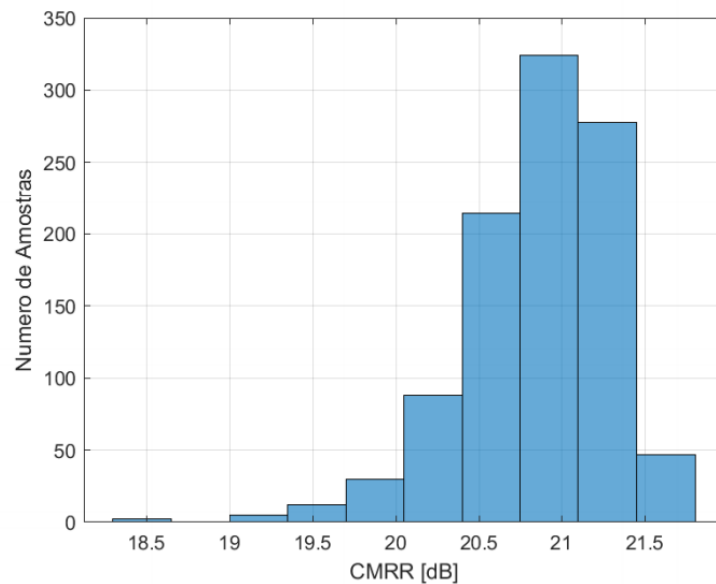
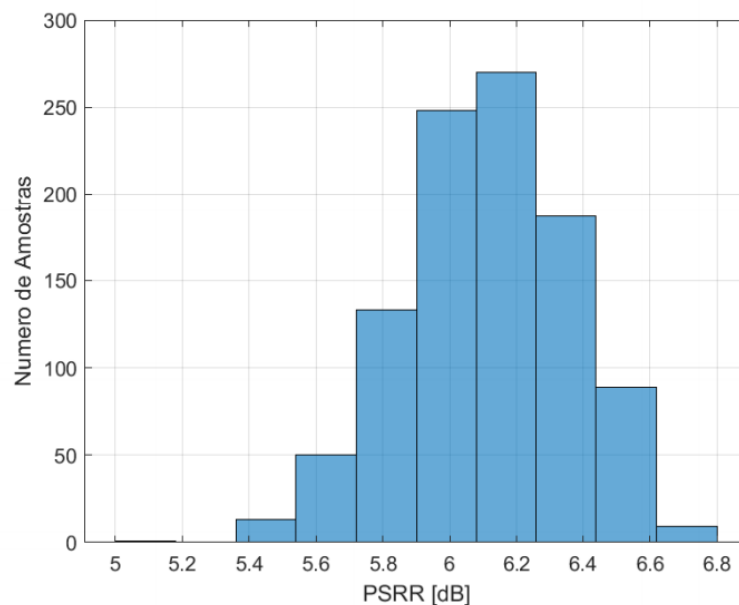


Figura 11. Simulação de Monte Carlo para PSRR para OTA construído com transistores RVT (1000 rodadas).



Foi realizado também uma simulação de *corners* cujos resultados estão representados na Tabela 2, nesta tabela pode-se observar que houve uma variação da resposta em frequência

e I_{od} e que os valores de g_{md} , CMRR e PSRR da simulação estão contidos dentro dos limites de seus respectivos histogramas.

Tabela 2. Simulação de corners do OTA com transistores RVT.

Parâmetro	SS	TT	FF
Ganho de malha aberta A_o [dB]	15,56	17,97	16,80
Frequência de corte f_t [GHz]	89,00	100,00	93,00
Corrente diferencial I_{od} [mA]	82,61	84,24	82,73
Transcondutância diferencial g_{md} [mS]	52,05	55,89	53,87
Rejeição de Modo Comum CMRR [dB]	19,56	21,10	20,80
Rejeição da Fonte de Alimentação PSRR [dB]	5,56	6,22	6,65

b. Análise da Simulação do OTA com transistores LVT

Uma análise análoga à feita na Seção V-A poder ser executada para o OTA fabricado com transistores LVT. Comparando os dois amplificadores é possível observar na Figura 12 que o OTA com transistores LVT apresenta uma frequência de corte maior em detrimento um menor ganho. A Figura 12 contém os dados da simulação da resposta em frequência do OTA, neste pode-se observar que foi possível frequências na ordem de grandeza de 10^8 , isso só foi possível devido à ausência de nós internos da topologia, este circuito possui uma frequência de corte aproximada de 530 MHz com ganho em banda passante de 7,1 dB, também é possível observar no diagrama que a frequência de ganho unitário é de 1,059 GHz, frequência onde a fase atinge -90° .

Na Figura 13 também é possível observar uma conversão linear tensão/corrente permitindo uma ampla excursão de sinal e comprovando que com um circuito casado é possível anular os efeitos do termo quadrático conforme equacionamento em (5), note que quando V_{id} é 0 V e I_{od} também tem valor igual a 0 A e quando V_{id} é 0,8 V ($V_{DD}/2$) a corrente I_{od} é de 155,6 mA. Na Figura 14 pode-se observar os valores da transcondutância diferencial em função de V_{id} com seu valor máximo de 102,3 mS em V_{id} igual a 0.

Na Figura 15 está representado um histograma referente a simulação de Monte Carlo da transcondutância diferencial, o histograma apresenta uma distribuição normal com desvio

padrão de 1,55 mS, média de 101,99 mS, comparando com a simulação de g_{gm} na Figura 14 é observado que o valor obtido está compreendido dentro dos limites do histograma.

Figura 12. Simulação da Resposta em Frequência para OTA construído com transistores LVT.

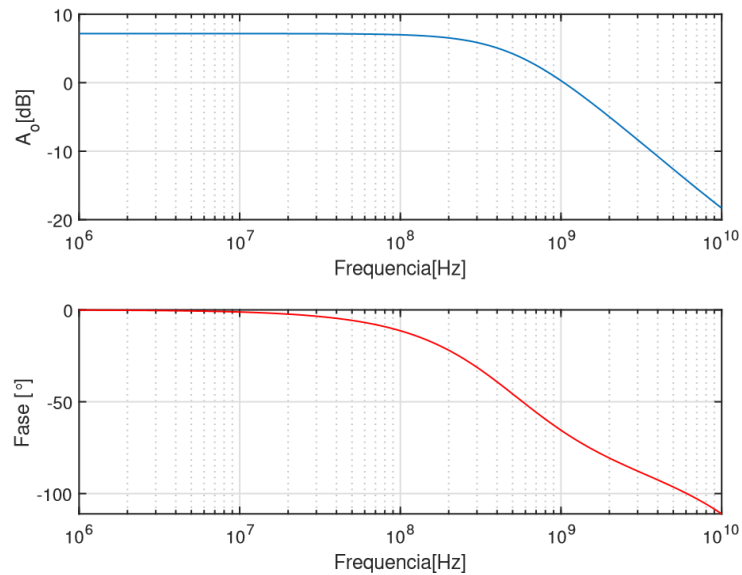


Figura 13. Simulação da Corrente Diferencial para OTA construído com transistores LVT.

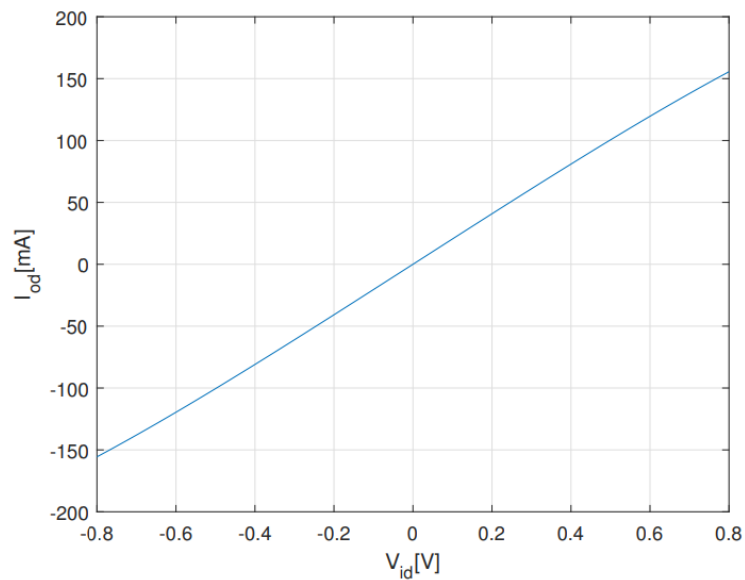


Figura 14. Simulação da Transcondutância Diferencial para OTA construído com transistores LVT.

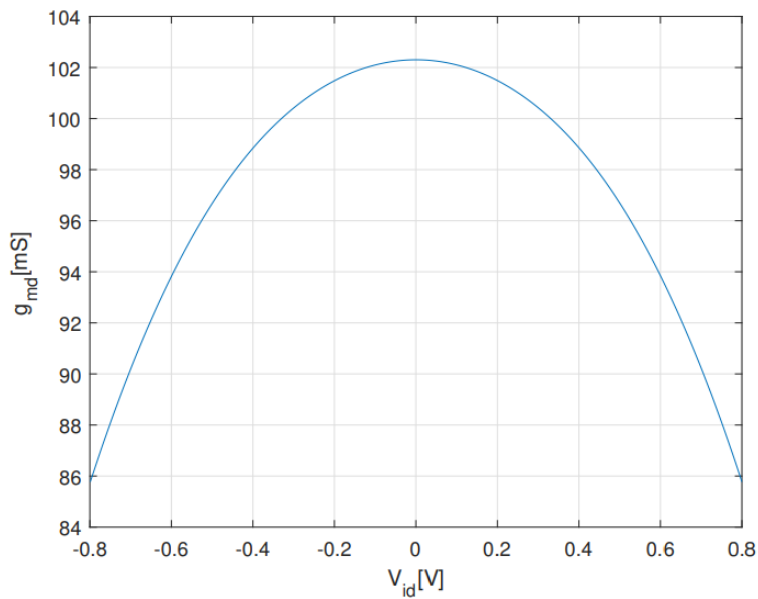
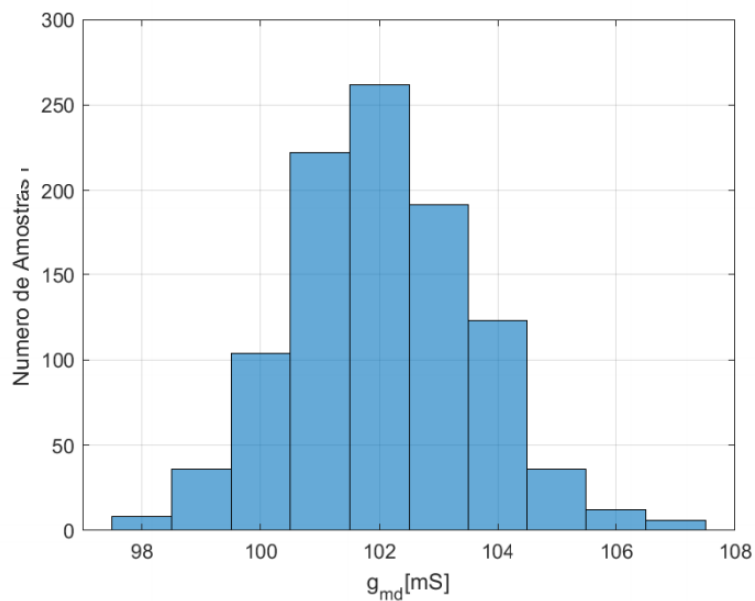
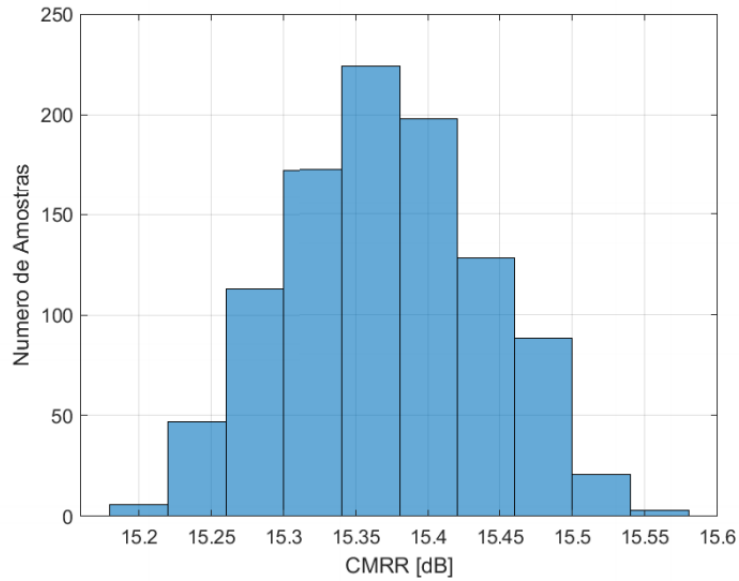


Figura 15. Simulação de Monte Carlo para OTA construído com transistores LVT.



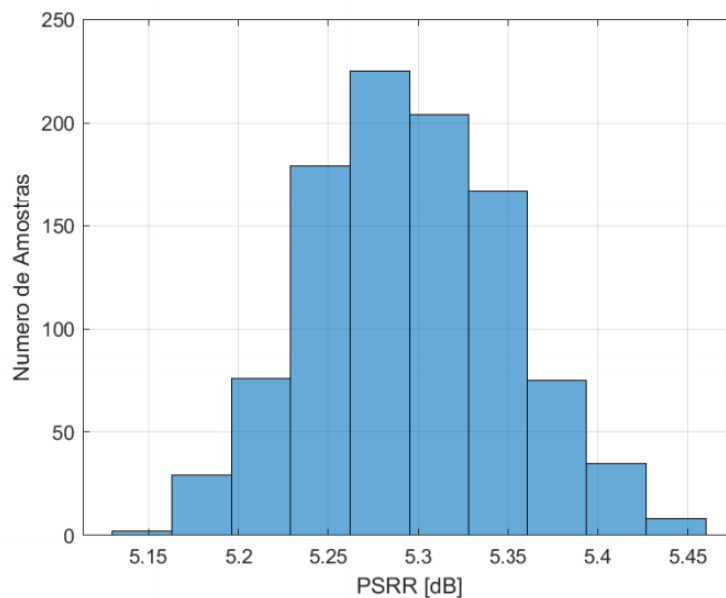
Na Figura 16, é possível observar uma distribuição normal com desvio padrão de 0,068 e média 15,36 mS, com esses dados pode-se inferir que o circuito apresenta baixa rejeição a tensão de modo comum.

Figura 16. Simulação de Monte Carlo para CMRR para OTA construído com transistores LVT.



Na Figura 17, é possível observar uma distribuição lognormal com desvio padrão de 0,055 dB e média 5,29 dB, com esses dados é possível inferir que o apresenta baixa rejeição a variações da fonte tensão.

Figura 17. Simulação de Monte Carlo para PSRR para OTA construído com transistores LVT.



Na Tabela 3 estão os resultados da simulação de *corners*, nesta tabela, assim como para o circuito com transistores RVT, pode-se observar que houve uma variação da resposta

em frequência e I_{od} e que os valores de g_{md} , CMRR e PSRR da simulação estão contidos dentro dos limites de seus respectivos histogramas.

Tabela 3. Simulação de corners do OTA com transistores LVT.

Parâmetro	SS	TT	FF
Ganho de malha aberta A_o [dB]	5,20	7,10	6,30
Frequência de corte f_t [GHz]	0,90	1,06	0,99
Corrente diferencial I_{od} [mA]	142,61	155,60	149,73
Transcondutância diferencial g_{md} [mS]	99,70	102,3	101,20
Rejeição de Modo Comum CMRR [dB]	15,29	15,41	15,34
Rejeição da Fonte de Alimentação PSRR [dB]	5,19	5,29	5,22

Analisando-se os dados da Tabela 4, pode-se observar que o OTA construídos com transistores RVT possui um maior ganho de malha aberta. Em contrapartida, o OTA com transistores LVT possui uma maior frequência de corte. A Tabela V apresenta uma comparação de desempenho entre os OTAs projetados com os transistores RVT e LVT e OTAs projetados baseando-se na mesma topologia, proposta por Bram Nauta (Nauta, 1992).

Tabela 4. Comparação de desempenho do OTA com transistores RVT e LVT.

Parâmetro	RVT	LVT
Ganho de malha aberta A_o [dB]	17,97	7,10
Frequência de corte f_t [GHz]	100,00	1,06
Corrente diferencial I_{od} [mA]	84,24	155,60
Transcondutância diferencial g_{md} [mS]	55,89	102,3
Rejeição de Modo Comum CMRR [dB]	21,10	15,41
Rejeição da Fonte de Alimentação PSRR [dB]	6,22	5,29

Tabela 5. Comparação de desempenho do OTA com transistores RVT e LVT com outros OTAs que utilizam a mesma topologia.

Parâmetro	RVT (Este trabalho)	LVT (Este trabalho)	Vlassis (2012)	Pirmohammadi (2012)	Barthélemy (2008)	Munoz (2001)
Tecnologia de fabricação	130 nm	130 nm	130 nm	350 nm	350 nm	800 nm
Tensão de alimentação [V]	1,6	1,6	0,5	3,3	2,5	1,4
Ganho de malha aberta A_o [dB]	17,97	7,10	37	29,3	31,3	-
Frequência de corte f_t [GHz]	100,00	1,06	0,530	0,029	3,56	0,42
Transcondutância diferencial g_{md} [mS]	55,89	102,3	0,797	0,012	0,11	0,346

7. Conclusão

A contribuição deste trabalho foi a comparação de desempenho entre dois OTAs utilizando dois tipos diferentes de transistores, um modelo construído com transistores de tensão de *threshold* regular (RVT) e um modelo com transistores com baixa tensão *threshold* (LVT) para a topologia de um amplificador operacional de transcondutância baseado em inversores.

Durante o desenvolvimento deste trabalho pôde-se observar nas simulações que o OTA fabricado com transistores RVT sofreu menos impacto das variações do processo de fabricação em seus parâmetros se aproximando mais dos valores projetados, possuindo menor desvio padrão como constatado nas Seções 5.1 e 5.2, este amplificador possui maior ganho A_o e maior transcondutância g_{md} em detrimento de uma menor frequência de corte f_t conforme equacionamento apresentado na Sessão 3.

Como trabalho futuro, é planejado o estudo da topologia utilizando transistores triple well. Com o uso destes transistores pode-se alterar a frequência de sintonia e alterar o ganho da topologia para alteração da tensão de substrato dos transistores. Também é planejado o

estudo desta topologia operando em inversão fraca com transistores do tipo LVT na tecnologia IBM CMOS 130 nm.

Referências

Andreani, P., & Mattisson, S. (2002). On the use of Nauta's transconductor in low-frequency CMOS gm-C bandpass filters. *IEEE Journal of Solid-State Circuits*, 37(2), 114–124.

Barthélemy, H.; Meillère, S.; Gaubert, J.; Dehaese, N.; Bourdel, S. (2008). OTA based on CMOS inverters and application in the design of tunable bandpass filter. *Analog Integrated Circuits and Signal Processing*, v. 57, n. 3, p. 169–178, 2008.

Braga, R. A., Ferreira, L. H., Colletta, G. D., & Dutra, O. O. (2019). A 0.25-V calibration-less inverter-based OTA for low-frequency Gm-C applications. *Microelectronics Journal*, 83, 62–72.

Braga, R. A., Ferreira, L. H., Colletta, G. D., & Dutra, O. O. (2017). Calibration-less Nauta OTA operating at 0.25-V power supply in a 130-nm digital CMOS process. In *2017 IEEE 8th Latin American Symposium on Circuits & Systems (LASCAS)* (pp. 1–4).

Braga, R. A. S. (2018). *Uma Topologia CMOS Nauta OTA sem Calibração em Ultra-Baixa Tensão e Ultra-Baixa Potência*. Universidade Federal de Itajubá.

Crombez, P., Craninckx, J., Wambacq, P., & Steyaert, M. (2008). A 100-kHz to 20-MHz reconfigurable power-linearity optimized gm-C biquad in 0.13- μm CMOS. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 55(3), 224–228.

Dresch, A., Lacerda, D. P., & Júnior, J. A. V. A. (2015). *Design science research: método de pesquisa para avançada ciência e tecnologia*. Bookman Editora.

Munoz, F., Torralba, A., Carvajal, R., Tombs, J., & Ramirez Angulo, J. (2001). Floating-gate-based tunable CMOS low-voltage linear transconductor and its application to HF gm-C filter design. *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, 48(1), 106–110.

Nauta, B. (1992). A CMOS transconductance-C filter technique for very high frequencies. *IEEE Journal of Solid-State Circuits*, 27(2), 142–153.

Nicholson, A. P., Iberzanov, A., Jenkins, J., Hamilton, T. J., & Lehmann, T. (2016). A statistical Design Approach for a Digitally Programmable Mismatch-Tolerant High-Speed Nauta Structure Differential OTA in 65-nm CMOS. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 24(9), 2899–2910.

Pereira, A.S. et al. (2018). Metodologia da pesquisa científica. [e-book]. Santa Maria. Ed. UAB/NTE/UFSM. Disponível em:
https://repositorio.ufsm.br/bitstream/handle/1/15824/Lic_Computacao_Metodologia-Pesquisa-Cientifica.pdf?sequence=1. Acesso em: 03 abr. 2020.

Pinto, P. M., Ferreira, L. H., Colletta, G. D., & Braga, R. A. (2019). A 0.25-V fifth-order butterworth low-pass filter based on fully differential difference transconductance amplifier architecture. *Microelectronics Journal*, 92, 104606.

Pirmohammadi, A., & Zarifi, M. H. (2012). A low power tunable Gm-C filter based on double CMOS inverters in 0.35- μ m. *Analog Integrated Circuits and Signal Processing*, 71(3), 473–479.

Ramasamy, S., & Venkataramani, B. (2011). A low power reconfigurable analog baseband block for software defined radio. *Journal of Signal Processing Systems*, 62(2), 131–144.

Vlassis, S. (2012). 0.5V CMOS inverter-based tunable transconductor. *Analog Integrated Circuits and Signal Processing*, 72(1), 289

Porcentagem de contribuição de cada autor no manuscrito

Otávio Soares Silva – 40%

Rodrigo Aparecido da Silva Braga – 20%

Dean Bicudo Karolak – 20%

Paulo Marcio Moreira e Silva – 20%